

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **03-266435**
 (43)Date of publication of application : **27.11.1991**

(51)Int.CI.

H01L 21/316
H01L 21/76

(21)Application number : **02-065668**
 (22)Date of filing : **16.03.1990**

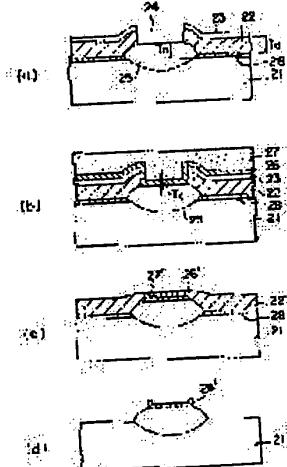
(71)Applicant : **TOSHIBA CORP**
 (72)Inventor : **SAKAI KATSUYA**

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To make it possible to protect reliably the upper part of an element isolation film from a reduction in the film thickness of the isolation film due to a treatment or the like using a hydrofluoric acid etching liquid in the following process by a method wherein the element isolation film is provided with an insulative oxidation-resistant film deposited thereon by self-alignment.

CONSTITUTION: A silicon nitride film 13 which is an oxidation-resistant film is formed on the surface of an element isolation film 12 formed on the surface of a P-type semiconductor substrate 11 by a well-known method, such as a LOCOS method or the like, by a self-alignment system. N+ diffused regions 14 and 15 which are used as source and drain regions oppose to each other while holding a channel region under a gate electrode between them on the left side of the film 12. An N+ diffused region 17 is formed on the right side of the film 12. Thereby, a reduction in the film thickness of the film 12 is decreased in the following process and the generation of a change in the characteristics of a device due to the reduction in the film thickness is prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑱公開特許公報(A)

平3-266435

⑲Int.Cl.⁵H 01 L 21/316
21/76

識別記号

庁内整理番号

⑳公開 平成3年(1991)11月27日

M 7638-5F
6940-5F

H 01 L 21/94

審査請求 未請求 請求項の数 4 (全5頁)

A

㉑発明の名称 半導体装置およびその製造方法

㉒特 願 平2-65668

㉓出 願 平2(1990)3月16日

㉔発明者 酒井 勝也 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

㉕出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

㉖代理人 弁理士 佐藤 一雄 外3名

明細書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

1. 素子分離膜により分離された複数の素子を形成してなる半導体装置において、前記素子分離膜がその上に自己整合で堆積された絶縁性の耐酸化性膜を備えたことを特徴とする半導体装置。

2. 絶縁性の耐酸化性膜がシリコン窒化膜であることを特徴とする請求項1記載の半導体装置。

3. 半導体装置の製造方法において、

半導体基板上にバッファ膜を予定の素子分離膜が前記半導体基板よりも突出する高さよりも厚く堆積させる工程と、

前記バッファ膜の上に第1の耐酸化性膜を堆積させる工程と、

前記素子分離膜形成領域の前記バッファ膜および第1の耐酸化性膜を除去して基板表面の露出す

る開口を形成する工程と、

酸化を行って素子分離膜となる厚い酸化膜を前記開口部に形成させる工程と、

全体に第2の耐酸化性膜を堆積させ、さらに前記開口を埋める平坦化材料を堆積させる工程と、

前記酸化膜上のみに少なくとも第2の耐酸化性膜を残存させるようにエッチバックを行う工程と、残存した前記バッファ膜および前記平坦化材料を除去する工程とを備えたことを特徴とする半導体装置の製造方法。

4. 前記第1および第2の耐酸化性膜がシリコン窒化膜であり、前記バッファ膜がポリシリコン膜であり、前記平坦化材料がレジストであることを特徴とする請求項3記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は半導体装置およびその製造方法に係り、

特に高集積度を実現できる素子分離膜を備えた半導体装置およびその製造方法に関する。

(従来の技術)

従来、半導体集積回路装置において、素子間を分離する素子分離膜としては基板表面に耐酸化性の膜としての窒化膜を形成し、素子分離膜形成領域のみを除去してそこに厚い酸化膜を形成する選択酸化法により形成されたものが広く用いられている。代表的なものはLOCOS法であり、シリコン基板上に耐酸化性のシリコン窒化膜を形成し、素子分離膜形成領域のみを除去して基板表面を露出させた後に酸化雰囲気中で酸化を行うと、窒化膜のない部分のみに厚い酸化膜が形成されるものである。

(発明が解決しようとする課題)

このような従来の素子分離膜は2酸化シリコンのみにより形成されているため、その後の工程で膜厚が減少してしまい、そのために素子間の耐圧が減少し電流がリークするという問題がある。

第3図は従来の素子分離膜における膜厚減少の

様子を示す説明図である。

半導体基板の表面に、耐酸化性のシリコン窒化膜を用いて選択酸化を行うLOCOS法などによって形成された素子分離膜は、形成当初には参照番号2で示されたような破線で表わされる形状となっている。ところが、この素子分離膜の2酸化シリコンは後続の工程において特に沸酸系の液相処理などにより侵され易く、実線で示された素子分離膜2'のように膜厚が減少してしまう。

この例では素子分離膜2'をマスクとしてイオン注入および拡散が行われてN⁺領域3が素子分離膜2の両側に形成されているが、第4図(a)に示すように素子分離膜2の上に配線4などが形成されることにより素子分離膜の両側に形成されたN⁺領域3とにより寄生トランジスタが形成されることがあるが、上述したような膜厚減少が発生して第4図(b)に示すような薄くなった素子分離膜2'の状態となると、低電圧でこの寄生トランジスタがオンしてリーク電流が流れやすくなる。すなわち、素子間の耐圧が低下して半導体装置

としての特性を損ねる結果となる。

第4図(a)に示した寄生トランジスタでリークが発生するゲート電圧V_{th}は一般にV_{th}=A-(Q₀/C₀)で表わされる(ただしA、Q₀は定数)。C₀は寄生容量であって、素子分離膜の厚さが厚いほど小さくなる。逆に、素子分離膜の厚さが減少するとV_{th}は低下することになる。

従来は8000Åの厚さで形成した酸化膜であっても、第3図に示されたように5000Åにまで減少することがある。したがって、第4図(a)のように素子分離膜の膜厚減少がない場合のV_{th}と第4図(b)のように素子分離膜の膜厚減少があった場合のV_{th}とを比較すると第4図(b)の方がV_{th}が低くなってしまう。

このような問題を解決するために、素子分離膜の上に耐酸化性の膜、例えばシリコン窒化膜を形成して膜厚の減少を防止することが提案されている。

第5図(a)はこのような例を示すもので、選択酸化によって厚く形成された素子分離膜2'の上

に再度シリコン窒化膜5が形成されている。このシリコン窒化膜5は素子分離膜2'の上以外では不要であるから、除去する必要があり、このためレジスト6を用いて不要部分の除去が行われる。しかし、このレジストの位置合わせは精度が問題であり、第5図(a)に示すようにレジストの合わせずれが生じた場合には第5図(b)に示すように一方側ではシリコン窒化膜5の端部が素子分離膜の端部から長さaだけ内側に位置し、反対側では外側に長さbだけはみ出す。このような場合においてはみ出しが起きた部分がトランジスタのソース・ドレイン領域となる場合には、トランジスタの能動領域の幅が狭まるなどの現象が起きて特性の変化を招いてしまうという問題がある。このため、位置合わせ余裕が必要となるが、十分な位置合わせ余裕を確保することは寸法の増大を招き、高集積化の障害となる。

本発明はこのような問題を解決するためになされたもので、寸法の増大を招くことなく、しかも後続の工程で膜厚の減少しない素子分離膜を備え

た半導体装置およびその製造方法を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

発明にかかる半導体装置によれば、素子分離膜により分離された複数の素子を形成してなる半導体装置において、前記素子分離膜がその上に自己整合で堆積された絶縁性の耐酸化性膜を備えたことを特徴としている。

絶縁性の耐酸化性膜がシリコン窒化膜であるといい。

また、本発明にかかる半導体装置の製造方法によれば、半導体基板上にバッファ膜を予定の素子分離膜が前記半導体基板よりも突出する高さよりも厚く堆積させる工程と、前記バッファ膜の上に第1の耐酸化性膜を堆積させる工程と、前記素子分離膜形成領域の前記バッファ膜および第1の耐酸化性膜を除去して基板表面の露出する開口を形成する工程と、酸化を行って素子分離膜となる厚い酸化膜を前記開口部に形成させる工程と、全体

に第2の耐酸化性膜を堆積させ、さらに前記開口を埋める平坦化材料を堆積させる工程と、前記耐酸化性膜のみに少なくとも第2の耐酸化性膜を残存させるようにエッチバックを行う工程と、残存した前記バッファ膜および前記平坦化材料を除去する工程とを備えたことを特徴としている。

ここで、第1および第2の耐酸化性膜がシリコン窒化膜であり、前記バッファ膜がポリシリコン膜であり、前記平坦化材料がレジストであるといい。

(作用)

素子分離膜上に自己整合で形成された耐酸化性膜は合わせずれがないため、合わせ余裕を必要とすることなく、後工程における弗酸系のエッチング液を用いた処理等による膜厚の減少から素子分離膜上を確実に保護する。

予定の素子分離膜が基板表面から突出する高さ以上の厚さのバッファ膜をあらかじめ形成しておき、この上に耐酸化性膜を堆積させた後、選択的に素子分離膜を形成し、この素子分離膜上にさら

に第2の耐酸化性膜を堆積させた後平坦化処理を行いエッチバックによって第2の耐酸化性膜を残すようにすることにより、この第2の耐酸化性膜は素子分離膜に対して自己整合されるので、確実に素子分離膜の保護膜を形成することができる。

(実施例)

以下、図面を参照しながら本発明の実施例につき詳細に説明する。

第1図は本発明にかかる半導体装置における素子分離膜部分を示す素子断面図である。P型半導体基板11の表面にLOCOS法などの公知の方法で形成された素子分離膜12の表面には耐酸化性の膜であるシリコン窒化膜13が後述するように自己整合方式で形成されている。

この図に示された実施例においては素子分離膜12の左側にはソース・ドレイン領域をなすN+拡散領域14、15がゲート電極下のチャネル領域を挟んで対向している。また、素子分離膜12の右側にはN+拡散領域17が形成されている。

第2図は第1図に示された素子分離膜を形成す

る工程を示す工程別素子断面図である。まず、P型半導体基板21の表面に500Åの2シリコン酸化を行ない、酸化膜28を形成し、その上にポリシリコン膜22をCVD法などによりTa=5000Åの厚さで堆積させ、さらにその上にシリコン窒化膜23を3000Åの厚さで堆積させる。写真食刻法を用いて素子分離膜形成領域のポリシリコン膜22および酸化マスクとなるシリコン窒化膜23を除去して開口部24を形成し、基板表面を露出させる。そして酸化雰囲気で酸化を行なうと開口部の基板表面は酸化され、8000Åの厚い酸化膜25が形成される。したがって素子分離膜25が基板表面から突出する高さTb=4000Åである(第5図(a))。なお、ポリシリコン膜22は後述するエッチバックを行うために必要な高さを確保するためおよび工程中に発生する圧力を発散させるためのものである。

次に全体にシリコン窒化膜26をTc=500Åの厚さで堆積させる。したがって、Ta≥Tb+Tcの関係がある。さらに全体にレジスト27

を塗布する。このレジスト27は段差を埋める平坦化作用を有するのでレジストの表面はほぼ平坦面となる(第5図(b))。

次にエッチバックを行い、素子分離膜の周囲のシリコン窒化膜が除去されるまで表面から厚さをほぼ均等に減少させていくと、 $T_a \geq T_b + T_c$ の関係があるために素子分離膜25上にはシリコン窒化膜の一部26' と膜厚の減少したレジスト27' が積層され、その周囲には膜厚の減少したポリシリコン22' が残存した状態が得られる(第2図(c))。

このあとドライエッティングにより、ポリシリコン22' を除去し、レジスト27' を除去し、さらに弾酸処理を行い、酸化膜28を除去すると、シリコン窒化膜は弾酸には溶けないため素子分離膜上中央にシリコン窒化膜26' がマスクを使用することなく確実に形成される。

したがって、後続の工程における弾酸処理などでも素子分離膜の膜圧はほとんど減少せず、寄生トランジスタにおける V_{th} の低下などを引き起こ

すことはない。

以上の実施例においては、耐酸化性膜としてシリコン窒化膜を用いたが、绝缘性かつ耐酸化性、耐薬品処理性特に耐弾酸性を有する膜であれば、他の材料でも使用することができる。また、バッファ膜としては上述の実施例ではポリシリコンを用いたが、シリコン窒化膜などの耐酸化性膜に対して十分な選択比を有する材料であれば、他の材料でも使用することができる。さらに、実施例ではエッチバックを行うのにレジストを使用しているが、平坦化作用のある材料、例えば流動性や熱による溶融性のある材料であれば使用することができる。

〔発明の効果〕

以上のように本発明にかかる半導体装置によれば、素子分離膜上に自己整合により形成された耐酸化性膜を有しているので、後続の工程において膜圧減少が少なくななり、膜圧減少による特性の変化などを発生しない。

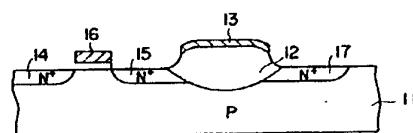
また、本発明にかかる半導体装置の製造方法に

よれば、マスクを使用することなく自己整合方式で素子分離膜上の耐酸化性膜を確実に形成することができます。

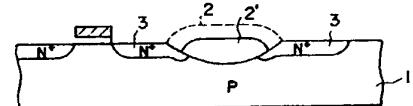
4. 図面の簡単な説明

第1図は本発明にかかる半導体装置の素子分離膜の形状を示す素子断面図、第2図は本発明にかかる半導体装置の製造方法を示す工程別素子断面図、第3図は従来の素子分離膜の膜厚減少の様子を示す素子断面図、第4図は素子分離膜部分に形成される寄生トランジスタにおける問題点を示す説明図、第5図は従来とられた膜厚減少対策の説明図である。

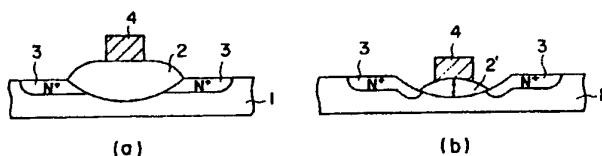
1. 11, 21…半導体基板、2, 2', 12, 25…素子分離膜、13, 23, 23', 26, 26'…耐酸化性膜(シリコン窒化膜)、22, 22'…バッファ膜(ポリシリコン膜)、24…開口部。



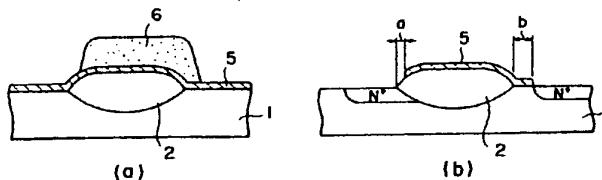
第1図



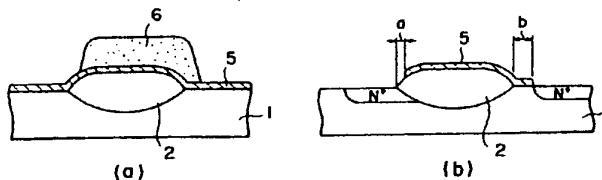
第2図



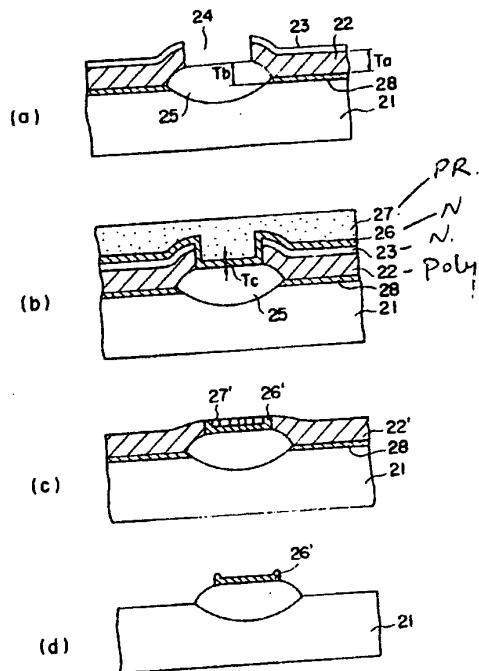
第3図



第4図



第5図



第2図